

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-55246

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl.⁵

H 01 L 21/336
29/784

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M

H 01 L 29/ 78

3 0 1 L

審査請求 有 請求項の数 4(全 6 頁)

(21)出願番号

特願平3-238712

(22)出願日

平成3年(1991)8月26日

(71)出願人

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者

山崎 舜平
神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者

竹村 保彦
神奈川県厚木市長谷398番地 株式会社半

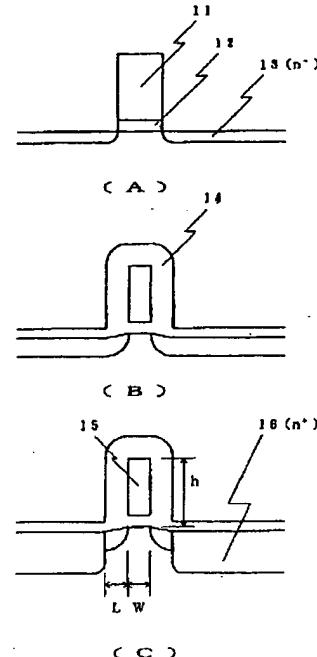
導体エネルギー研究所内

(54)【発明の名称】 絶縁ゲート型半導体装置の作製方法

(57)【要約】 (修正有)

【目的】 LDD構造を作製する方法として、アスペクト比が1以上の高アスペクト比のゲート電極でも何ら問題なく実施できる全く新しい方法を提唱する。

【構成】 MOSFETにおいて、LDD領域を形成するにあたって、最初に、ゲート電極となるべき部分11をマスクとしてセルフアライン法で低濃度不純物領域13(第1の不純物領域)を形成したのち、熱酸化法等の方法によってゲート電極となるべき部分を酸化し、内部にゲート電極15を形成し、ゲート電極側面に生成した酸化物層14をマスクとしてセルフアライン法で高濃度不純物領域16(第2の不純物領域)を形成する。



【特許請求の範囲】

【請求項1】 半導体上に形成された絶縁性被膜上に、ゲイト電極となるべき部分を形成する工程と、前記部分をマスクとして不純物を半導体中に導入し、自己整合的に第1の不純物領域を形成する工程と、前記部分の少なくとも側面を酸化する工程と、前記工程によって酸化されたゲイト電極の部分をマスクとして不純物を半導体中に導入し、自己整合的に第2の不純物領域を形成する工程とを有することを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項2】 請求項1において、ゲイト電極の高さは、その幅の1倍以上であることを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項3】 請求項1において、第1の不純物領域の不純物濃度は、第2の不純物領域の不純物濃度よりも小さいことを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項4】 単結晶シリコン上に形成された絶縁性被膜上に、多結晶シリコンによるゲイト電極となるべき部分を形成する工程と、前記部分をマスクとして不純物を半導体中に導入し、自己整合的に第1の不純物領域を形成する工程と、熱酸化法によって、前記部分を酸化する工程と、前記工程によって酸化された部分をマスクとして不純物を半導体中に導入し、自己整合的に第2の不純物領域を形成する工程とを有することを特徴とする絶縁ゲイト型半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高速性に優れ、また、高集積化の可能な絶縁ゲイト電界効果型半導体素子（半導体装置）の作製方法に関する。本発明による半導体素子は、マイクロプロセッサー、マイクロコントローラ、マイクロコンピュータ、あるいは半導体メモリー等に使用されるものである。

【0002】

【従来の技術】 半導体素子の微細化、高集積化に関して、多くの研究開発が進められている。特に、MOSFETと呼ばれる絶縁ゲイト電界効果型半導体素子の微細化技術の進歩はめざましい。MOSとは、金属（Metal）-酸化物（Oxide）-半導体（Semi-conductor）の頭文字を取ったものである。金属は、純粋な金属でなくとも、十分に導電率の大きな半導体材料や、半導体と金属の合金なども含めた広い意味で使用される。また、金属と半導体の間の酸化物のかわりに、純粋な酸化物だけではなく、窒化物等の十分に抵抗の大きな絶縁性材料が用いられることがあり、そのような場合には、厳密にはMOSという用語は正しくないが、以下、本明細書では窒化物その他の絶縁物をも含めて、このような構造を有する電界効果型素子をMOSFETと称することとする。

【0003】 MOSFETの微細化は、ゲイト電極の幅 50

を小さくすることによっておこなわれる。ゲイト電極の幅が小さくなるということは、その下のチャネル領域の長さ、すなわち、チャネル長が小さくなるということであり、このことは、チャネル長をキャリヤが通過するに要する時間を小さくすることとなり、結果的には高集積化とともに高速化もたらされる。

【0004】 しかしながら、そのことによって、別な問題（短チャネル効果）も生じる。その中で最も重要なものはホットエレクトロンの問題である。従来のような、

10 十分に不純物濃度の大きなソースおよびドレインという不純物領域に、極性が反対の不純物がドープされたチャネル領域がはさまれた構造では、チャネル領域をせばめるにしたがって、ソースとドレインに印加される電圧によってチャネル領域と不純物領域の境界付近の電界が大きくなる。その結果、MOSFETの動作は極めて不安定になる。

【0005】 そのような問題点を解決する目的で提唱された新しいMOSFETの構造が、LDD（Lightly-Doped-Drain）という構造である。これは、典型的には図2

20 (D) に示される。図2 (D) において、不純物濃度の大きな領域26よりも浅く設けられた不純物濃度の小さな領域27がLDDと呼ばれる。このような領域を設けることによって、チャネル領域と不純物領域の境界近傍の電界を小さくし、素子の動作を安定化させることができた。

【0006】 LDDは、通常、図2のように形成される。図2は、NMOSの例を示したがPMOSであっても同様に形成される。最初に、p型の半導体基板上に酸化膜と導電性膜が形成され、これらはエッチングされ

30 て、図2 (A) に示すようにゲート絶縁膜22とゲート電極21となる。そして、このゲート電極をマスクとして、自己整合（セルフアライン）的に、例えば、イオン打ち込み法等によって、比較的不純物濃度の小さい（記号ではn-と表される）不純物領域23が形成される。

【0007】 次いで、この上にPSGのような絶縁被膜24が形成される。そして、この絶縁被膜24は、バイアスプラズマエッチのような異方性エッチング法（方向性エッチング法ともいう）によって、除去されるが、異方性エッチングの結果、ゲート電極の側面ではPSGが

40 エッチングされないで、図2 (C) に25で示すような形状で残る。この残留物をスペーサーと称する。そして、このスペーサー25をマスクとして、セルフアライン的に不純物濃度の大きい（記号ではn+と表される）不純物領域26が形成される。そして、このn+型不純物領域がFETのソース、ドレインとして用いられる。

【0008】 このようなLDD構造を採用することによって、従来の方法では、0.5 μmが限界であるといわれていたチャネル長を0.1 μmまで狭めることができることが示されている。

【0009】

【発明が解決しようとする課題】しかしながら、このことによって短チャネル化の問題が全て解決されたわけではない。もう一つの問題点はゲート幅を小さくすることによるゲート電極の抵抗の問題である。短チャネル化によって、動作速度を向上させたとしても、ゲート電極の抵抗が大きければ、その分を打ち消してしまうだけ伝播速度が低下する。ゲート電極の抵抗を低下させるには例えば、従来使用されていた不純物濃度の大きな多結晶シリコンのかわりに抵抗率の小さな金属シリサイドを用いることや、ゲート電極と平行にアルミニウムのような低抵抗配線を走らせることが検討され、採用されているが、それとて、ゲート電極の幅が0.3μm以下となる状況では限界となることが予想される。

【0010】その場合の別な解決方法として、ゲート電極の高さと幅の比(アスペクト比)を大きくすることが考えられる。ゲート電極のアスペクト比を大きくすることによって、ゲート電極の断面積を大きくし、抵抗を下げることが可能となる。しかしながら、従来のLDDは、その作製上の問題からアスペクト比を無制限に大きくはできなかった。

【0011】それは異方性エッティングで形成されるスペーサーの幅がゲート電極の高さに依存するためである。通常、スペーサーの幅はゲート電極の高さの20%以上となった。したがって、図2のLDD領域27の幅Lを0.1μmとする場合には、ゲート電極の高さhは0.5μm以下でなければならなかった。もし、ゲート電極がそれ以上の高さとなれば、Lは0.1μm以上となる。このことは、ソース、ドレイン間の抵抗が増えることであり、望ましくない。

【0012】今、ゲート電極の高さhが0.5μm、ゲート電極の幅Wが1.0μm、LDDの幅Lが0.1μmであるとしよう。この素子のスケールを小さくして、Wを0.5μmとしようすれば、ゲート電極の抵抗を維持するためには、hは1.0μmでなければならぬ。しかし、そのためにLは0.2μmとなってしまう。すなわち、ゲート電極の抵抗は変わらないが、ON状態(ゲート電極に電圧が印加されて、チャネル領域の抵抗がn-領域の抵抗に比べて十分小さくなつた状態)でのソース、ドレイン間の抵抗が2倍となる。一方、チャネル長が半分になつたので、素子は2倍の速度で応答することが期待できるが、ソース、ドレイン間の抵抗が2倍になつたのでそのことはキャンセルされてしまう。結局、素子の高集積化が達成されただけで、速度の点では従来のままである。一方、Lを従来と同じに保つには、hを0.5μmとしなければならないが、そうすれば、ゲート電極の抵抗が2倍となり、結局、高速性は得られない。

$$x^2 - x_0^2 + Ax - Ax_0 = Bt \quad (1)$$

【0018】ここで、A、Bはシリコンおよび酸化珪素に依存する正の定数で、温度やシリコンの面方位、酸素

* 【0013】通常の例では、スペーサーの幅は、ゲート電極の高さの50%から100%であり、上に示したものよりもかなり苦しい条件となる。したがって、従来のLDD作製方法ではゲート電極のアスペクト比は1以下、多くは0.2以下であった。また、このスペーサーの幅は、ばらつきが大きく、各トランジスター間での特性がまちまちになることが多くあった。このように、従来のLDDの作製方法は短チャネルでの安定性とそれに伴う高集積化と高速性をもたらした反面、その作製上の問題からより一層の高速化、高集積化の妨げとなるという矛盾を呈している。

【0014】本発明は、LDD構造を作製する方法として、アスペクト比が1以上の高アスペクト比のゲート電極でも何ら問題なく実施できる全く新しい方法を提唱する。上述の通り、微細化によって、もはや配線の高アスペクト比化は避けられない問題である。

【0015】

【問題を解決する方法】本発明の典型的な例を図1に示す。これはNMO Sの場合であるが、PMOSであって

20も同様に実施することができる。最初に、p型の半導体基板上に酸化膜等の絶縁膜と導電性膜が形成され、この絶縁膜と導電性膜はエッティングされて、図1(A)に示すようにゲート電極となるべき部分11およびゲート絶縁膜12となる。そして、このゲート電極となるべき部分をマスクとして、自己整合(セルフアライン)的に、例えは、イオン打ち込み法等によって、 $1 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度の不純物濃度の小さい(記号ではn-と表される)第1の不純物領域13が形成される。

【0016】次いで、熱酸化法によって、ゲート電極となるべき部分の表面が酸化される。したがって、ゲート電極となるべき部分は酸化される材料で構成される必要がある。この工程によって、ゲート電極となるべき部分の表面が後退する。そして、最終的には酸化物層14の内部にゲート電極15が残る。(図1(B))また、ゲート電極となるべき部分の材料11が多結晶シリコンであり、酸化膜12が酸化珪素であったならば、シリコン基板も酸化されるが、もし、ゲート絶縁膜(酸化珪素)がゲート電極形成と同時にエッティングされることがなく、シリコン基板が酸化珪素膜で覆わっていたならば、その速度はゲートとなるべき部分の酸化の速度に比べると十分に小さい。

【0017】すなわち、酸化速度は最初に存在する酸化膜の厚さが大きくなるにしたがって低下するからである。一般に、シリコンの熱酸化については、以下の式が成り立つことが知られている。

原子や水のシリコン中での拡散速度等に依存する。また、x₀は、最初に存在した酸化珪素の膜厚で、xは時

間 t だけ経過したときの酸化珪素の厚さである。 (1) * * 式を変形すると、以下の式が得られる。

$$\Delta x (x + x_0 + A) = B t$$

$$(\text{ただし } \Delta x = x - x_0) \quad (2)$$

【0019】例えば、表面に酸化珪素がほとんど形成されない状態では、 $x_0 = 0$ のので、

$$\Delta x_1 = B t / (x + A) \quad (3)$$

であり、一方、最初にかなり厚い膜が形成されていて、 $\star \star x \sim x_0$ である場合は、

$$\Delta x_2 = B t / (2x + A) \quad (4)$$

となる。 (3) と (4) から、他の条件が同じとき、最初に表面に酸化珪素膜が存在しない方が酸化速度

$$\Delta x_1 / \Delta x_2 = (2x + A) / (x + A) < 2$$

である。

【0020】実際、1気圧の乾燥酸素中の単結晶シリコン (100) 面の熱酸化では、1000°Cで100分酸化する場合に、熱酸化前に表面に酸化珪素が形成されていない場合には酸化珪素が 100 nm 形成されるのに対し、熱酸化前に表面に 100 nm の酸化珪素が形成されていた場合には酸化珪素の厚さは 150 nm にしかならず、同じ時間だけ酸化をおこなったのにもかかわらず、前者は酸化珪素が 100 nm 形成されたのに、後者は 50 nm の厚さの酸化珪素が新たに形成されるに過ぎない。

【0021】また、同じく 900°Cで 100 分の熱酸化をおこなった場合でも、熱酸化前に酸化珪素が形成されていない場合には、50 nm の酸化珪素が形成されるのに、熱酸化前に 50 nm の厚さの酸化珪素が形成されている場合には、増加する酸化珪素の厚さは 20 nm に過ぎず、200 分の熱処理でも、熱酸化前に酸化珪素が存在しない場合には、熱酸化の結果、厚さ 70 nm の酸化珪素が形成されるのに対し、熱酸化前に厚さ 90 nm の酸化珪素が形成されている場合には、30 nm しか酸化珪素は増加しない。

【0022】さらに、熱酸化の速度は面方位によって大きく異なり、シリコンの (100) 面の速度は (111) 面等の他の面に比べて酸化速度が小さい。また、多結晶シリコンは表面の面方位がバラバラであるので、当然 (100) 面の酸化速度より大きく、約 2 倍ほど早く酸化される。

【0023】以上のような理由から、図 1 に示すように、ゲート電極となるべき部分に形成される酸化珪素の厚さは、ゲート絶縁膜を通してシリコン基板上に新たに形成される酸化珪素の厚さよりもはるかに大きく、図に示すようにシリコン基板の表面の凹凸は十分小さい。例えば、ゲート電極となるべき部分 11 (多結晶シリコン) のもとの表面から 100 nm のところまで酸化した場合に、酸化膜 12 (酸化珪素) の下のシリコン基板はあらたに、25 nm だけ酸化される。この程度の凹凸は半導体素子の特性には深刻な影響を与えない。

【0024】また、この熱酸化の過程では、先に形成された不純物領域 13 も熱によって拡散拡大する。本発明では、素子を電界効果型トランジスターとして効率的に

☆ (Δx/t で表される) が大きいことがわかる。この計算は、詳細なものではないが、その速度の差は、

動作させる必要があるので、このように拡大した不純物領域の先端はゲート電極の両端と幾何学的に一致する必要がある。

【0025】さて、このようにして形成されたゲート電極 15 とその周囲の酸化物層 14 をマスクとして、セルフアライン的に $1 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ という不純物濃度の大きい (記号では n^+ と表される) 第 2 の不純物領域 16 が形成される。このようにして、従来の LDD 作製方法による場合と同じ形状を有する LDD を得ることができる。この工程で注目すべきことは、図から明らかのように、LDD の幅 L が、ゲート電極の高さに制約されることがないため、ゲート電極のアスペクト比を大きくすることができるということである。

【0026】さらに、本発明では、LDD の幅 L を極めて微妙に制御できる。例えば、L を 10 nm から 0.1 μm まで、任意に変化させることができる。また、このときのチャネル長 W としては 0.5 μm 以下が可能である。従来の方法では、LDD の幅を 100 nm 以下とすることは極めて困難で、20% 程度の誤差は当然であったが、本発明を利用すれば、LDD の幅を 10 ~ 100 nm において、10% 程度の誤差で作製することが可能である。L を細かく制御できるということは、酸化速度を制御することができるという事実に基づく。

【0027】さらに、本発明では、従来の LDD 作製方法に比べて、スペーサーとなるべき絶縁被膜を形成する必要がないので工程が簡略化され、生産性が向上する。以下に実施例を示し、より詳細に本発明を説明する。

【0028】

【実施例】本発明を用いた実施例について記載する。この実施例では単結晶半導体基板上に形成した相補型 MOSFET 装置 (CMOS) に本発明を用いた場合を示す。本実施例を図 3 に示す。まず、図 3 (A) に示すように、p 型単結晶シリコン半導体基板上に、従来の集積回路作製方法を使用して、n 型ウェル 32、フィールド絶縁物 30、チャネルストッパー (p⁺ 型) 31、n⁻ 型不純物領域 34、n⁺ 型不純物領域 36、p⁺ 型不純物領域 33、p⁻ 型不純物領域 35、リンがドープされた n 型多結晶シリコンのゲート電極 37 (NMOS 用) と同 38 (PMOS 用) を形成する。

【0029】その詳細な作製方法は以下の通りである。

まず、不純物濃度が 10^{16} cm^{-3} 程度の p 型シリコンウエーファーに BF_2^+ イオンを打ち込み、いわゆる L.O.C.O.S 法（局所酸化法）によって、チャネルストッパー 3 1 とフィールド絶縁物 3 0 を形成する。さらにこれに、リンイオンを注入し、 1000°C で 3 ~ 10 時間アーナルして、リンイオンを拡散、再分布させ、不純物濃度 10^{16} cm^{-3} 程度の n 型ウェル 3 2 を形成する。

【0030】その後、熱酸化法によって、厚さ 70 nm のゲート絶縁膜（酸化珪素）と、減圧 CVD 法によって、厚さ 500 nm 、リン濃度 10^{21} cm^{-3} の多結晶シリコン膜を形成し、これをバーニングして、ゲート電極となるべき部分 3 7 および 3 8 を形成する。そして、砒素イオンを打ち込んで、不純物濃度 10^{21} cm^{-3} 程度の n⁺ 型不純物領域 3 6 と、 BF_2^+ イオンを打ち込んで不純物濃度 10^{21} cm^{-3} の p⁺ 型不純物領域 3 3 を形成する。そして、その後、再び、ゲート電極となるべき部分および必要によっては他のマスクを用いて、不純物濃度 10^{18} cm^{-3} の n⁻ 型不純物領域 3 4 を形成し、さらに BF_2^+ イオンを打ち込んで、不純物濃度 10^{18} cm^{-3} の p⁺ 型不純物領域 3 5 を作製する。不純物領域 3 4 および 3 5 の深さは 20 nm とした。そして、これらの不純物領域は 900°C で 1 時間アーナルすることによって活性化され、ソース、ドレイン領域となる。このようにして図 3 (A) を得る。

【0031】次に、図 3 (B) に示すように、熱酸化法によって、ゲート電極となるべき部分を酸化する。酸化の条件としては、例えば、乾燥酸素 1 気圧中、 800°C で 500 分とする。この熱酸化によって、ゲート電極となるべき部分の周囲に厚さ約 100 nm の酸化珪素層 3 9 および 4 0 が形成され、その内部にゲート電極 4 1 および 4 2 が残る。この酸化工程でゲート電極となるべき部分のシリコン表面は約 50 nm だけ後退し、一方、単結晶シリコン基板の表面も約 10 nm だけ後退したが、その後退は極めて微小なので半導体素子の特性にはほとんど影響を与えない。

【0032】次いで、再びイオン注入法によって、n⁺ 型の不純物領域 4 3 と p⁺ 型の不純物領域 4 4 を形成する。いずれの不純物領域も不純物濃度は $1 \times 10^{21} \text{ cm}^{-3}$ 程度とする。また、この不純物領域の深さは 100 nm とした。

【0033】最後に、従来の集積回路の作製の場合と同様に層間絶縁物として、リンガラス層 4 5 を形成する。リンガラス層の形成には、例えば、減圧 CVD 法を用いればよい。材料ガスとしては、モノシラン SiH_4 と酸素 O_2 とホスフィン PH_3 を用い、 450°C で反応させ

て得られる。

【0034】その後、層間絶縁膜に電極形成用の穴を開け、アルミ電極 4 6 ~ 4 9 を形成する。こうして、図 3 (D) に示されるような相補型 MOS 装置が完成する。

【0035】

【発明の効果】本発明によって、極めて制約の少ない LDD 型 MOSFET を作製することが可能となった。本文中でも述べたように、本発明を利用すれば、ゲート電極のアスペクト比にほとんど制限されることなく LDD 領域を形成しうる。また、その LDD 領域の幅も $10 \sim 100 \text{ nm}$ の間で極めて精密に制御することができる。特に本発明は、短チャネル化によって、今後進展すると考えられるゲート電極の高アスペクト比化に対して有効な方法である。

【0036】もちろん、従来通りのアスペクト比が 1 以下の低アスペクト比のゲート電極においても、本発明を使用することは可能で、従来の LDD 作製方法に比して、絶縁膜の形成とその異方性エッチングの工程が不要となり、また、LDD 領域の幅も精密に制御することができるため、本発明の効果は著しい。

【0037】本発明は主としてシリコン系の半導体装置について述べたが、ゲルマニウムや炭化珪素、砒化ガリウム等の他の材料を使用する半導体装置にも本発明が適用されうることは明白である。さらに、本発明では、ゲート電極の酸化特性が重要な役割を果たすが、本発明で主として記述したシリコンゲート以外にも、タンゲステンやモリブデン、クロム、アルミニウム、あるいはそれらの珪化物、炭化物等をゲート電極として用いてもよい。また、実施例では単結晶半導体基板上の MOSFET の作製工程について記述したが、石英やサファイヤ等の絶縁性基板上に形成された多結晶あるいは単結晶半導体被膜を利用した薄膜トランジスタ (TFT) の作製にも本発明が適用されうることも明らかであろう。

【図面の簡単な説明】

【図 1】本発明による LDD の作製方法を示す。

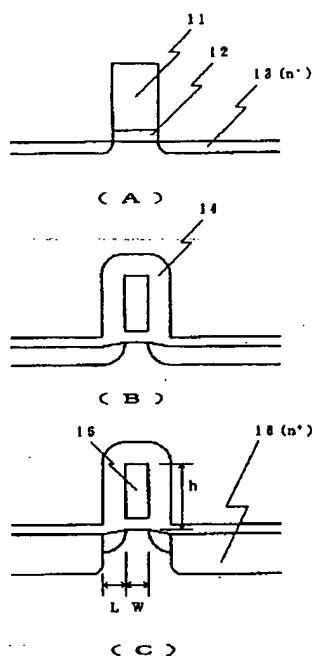
【図 2】従来の LDD 作製方法を示す。

【図 3】本発明を利用した単結晶半導体基板上への CMOS の作製方法を示す。

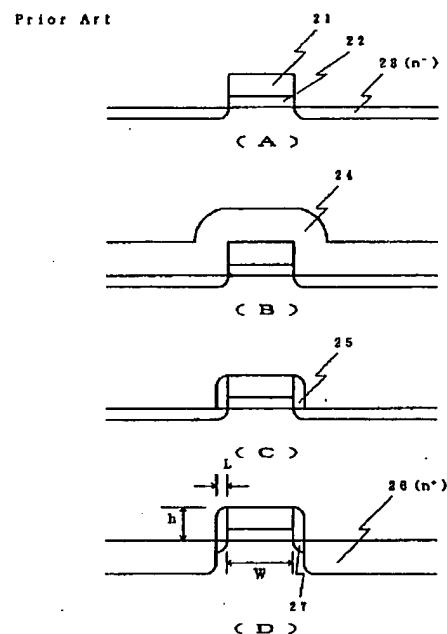
【符号の説明】

40	1 1	ゲート電極となるべき部分
	1 2	ゲート絶縁膜
	1 3	n ⁻ 不純物領域
	1 4	酸化物層
	1 5	ゲート電極
	1 6	n ⁺ 不純物領域

【図1】



【図2】



【図3】

